

Tümleştirilmiş Kombinezonal Devre Elemanları

Sayısal sistemlerin gerçekleştirilmesinde çokça kullanılan lojik devreler, lojik bağcların bir araya getirilmesiyle tümleştirilmiş devre (entegre devre, tümdevre) (*integrated circuit - IC*) olarak üretilirler ve satılırlar.

Bağclar yerine bu hazır devrelerin kullanılması tasarımları kolaylaştırır.

Tümdevreler içerdikleri kapı sayısına göre çeşitli gruptara ayrırlar.

Tümleştirme düzeylerine göre gruplama:

- Küçük Ölçekli Tümleştirme (Small-Scale IntegrationSSI):

Bu gruptaki tümdevreler 10 tane den az lojik kapı içerirler. Örneğin 7400 4 adet TVE kapısı içerir.

- Orta Ölçekli Tümleştirme (Medium-Scale Integration MSI):

Bu gruptaki tümdevreler 10 ile 1000 tane arasında lojik kapı içerirler. Toplayıcı, veri seçici, kod çözücü elemanlar grubuya girer.

- Büyük Ölçekli Tümleştirme (Large-Scale Integration LSI):

Bu gruptaki tümdevreler birbirler mertebesinde lojik kapı içerirler. Mikroişlemciler, bellekler bu grupta yer alırlar.

- Çok Büyük Ölçekli Tümleştirme (Very Large-Scale Integration VLSI):

Bu gruptaki tümdevreler yüzbinlerce ve daha fazla sayıda lojik kapı içerirler.

Örnek: Gelişmiş mikroişlemciler ve büyük bellek tümdevreleri.

<http://akademi.itu.edu.tr/buzluca>

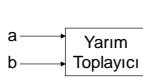


2000-2015 Feza BUZLUCA

5.1

Yarım Toplayıcı (Half Adder):

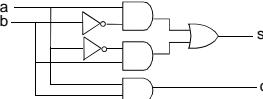
İki adet birer bitlik sayıyı toplayan bir devredir.



a	b	c	s
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Doğruluk tablosundan devrenin ifadesi elde edilir.

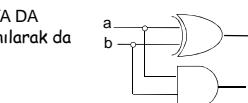
$$\begin{aligned}s &= ab' + a'b \\ c &= ab\end{aligned}$$



Bu devre yanda gösterildiği gibi YA DA (DARVEYA) (EXOR) bağları kullanılarak da gerçektelebilir.

$$s = a \oplus b$$

$$c = ab$$



<http://akademi.itu.edu.tr/buzluca>

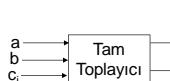


2000-2015 Feza BUZLUCA

5.2

Tam Toplayıcı (Full Adder):

İki adet birer bitlik sayıyı elde etmek üzere toplayan devredir.



a	b	c _i	a	b	c _i	s	c _o
0	0	0	0	0	0	0	0
0	1	0	0	1	0	1	0
1	0	0	0	1	0	1	0
1	1	0	1	0	0	0	1
0	0	1	0	0	1	0	0
1	0	1	0	1	0	1	0
0	1	1	1	1	0	1	0
1	1	0	1	1	0	0	1
1	1	1	1	1	1	1	1

$$\begin{aligned}s &= a'b'c + a'b'c' + ab'c + abc \\ s &= a \oplus (b \oplus c) \\ s &= a \oplus b \oplus c\end{aligned}$$

<http://akademi.itu.edu.tr/buzluca>



2000-2015 Feza BUZLUCA

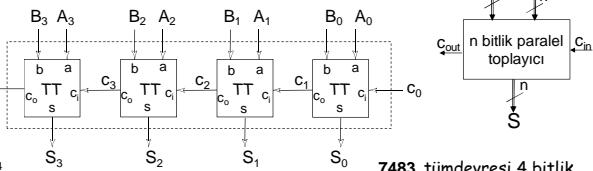
5.3

n-Bitlik İkili Parallel Toplayıcı:

İki adet n bitlik 2'li sayıyı toplayan devredir.

Toplanmak istenilen sayıların basamak sayısına bağlı olarak bir bitlik tam toplayıcılar peş peşe bağlanarak ikili paralel toplayıcılar gerçektelebilir.

Aşağıda 4 bitlik bir ikili toplayıcının iç yapısı gösterilmiştir.



7483 tümdevresi 4 bitlik bir ikili paralel toplayıcıdır.

1. Sayı: A₃A₂A₁A₀

2. Sayı: B₃B₂B₁B₀

Sonuç: S₃S₂S₁S₀

Elde Giriş: c₀

Elde Çıkışı: c₄

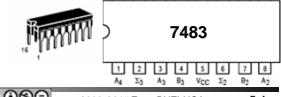
Örnek:

1. Sayı: 0110

2. Sayı: 1100

Sonuç: 0010

Elde : 1



<http://akademi.itu.edu.tr/buzluca>



2000-2015 Feza BUZLUCA

5.4

Çıkarma Devresi

Çıkarma işlemi "2'ye tümleyeni ile toplama" şeklinde gerçekleştirilir.

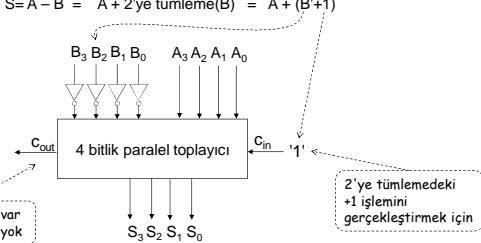
Çıkarma devresi n bitlik bir tam toplayıcı ve türme kapıları ile gerçektelebilir.

Örnek: 4 bitlik çıkışma devresi

$$S = A - B$$

B sayısının 2'ye tümleyeni A ile toplanır.

$$S = A - B = A + 2'ye tümleme(B) = A + (B+1)$$



<http://akademi.itu.edu.tr/buzluca>



2000-2015 Feza BUZLUCA

5.5

Veri Seçiciler (Multiplexer):

2ⁿ adet veri girişi (I), n adet seçme (denetim) girişi (S), 1 adet çıkış (Z) vardır.

Seçme girişlerine gelen değere göre, veri girişlerinden birindeki değer çıkışa aktarılır.

Seçme girişlerindeki n bitlik ikili sayı hangi veri girişinin seçileceğini belirler.

Veri seçiciler giriş sayılarına göre m:1 olarak adlandırılır. Burada m veri girişlerinin sayısını gösterir.

Örnek: 2:1 Veri seçici ("İkiye bir veri seçici" olarak okunur.)

İşlev Tablosu:

I ₁	I ₀	S	Z
0	0	I ₀	0
0	1	I ₁	1

Doğruluk Tablosu:

I ₁	I ₀	S	Z
0	0	0	0
0	1	1	1
1	0	1	1
1	1	1	1

Lojik ifade:

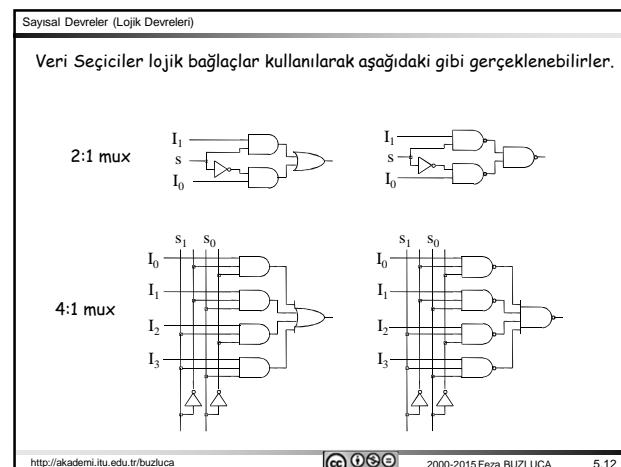
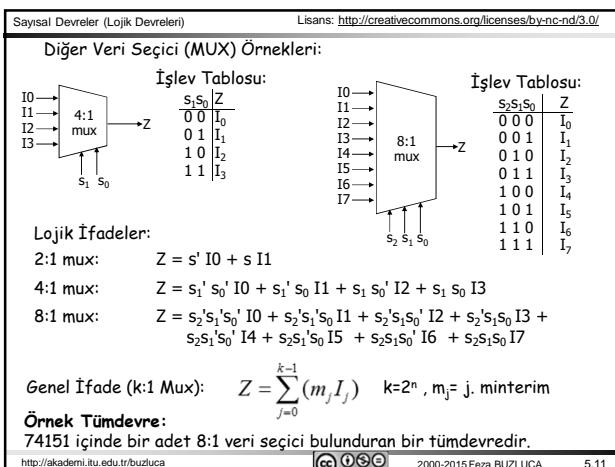
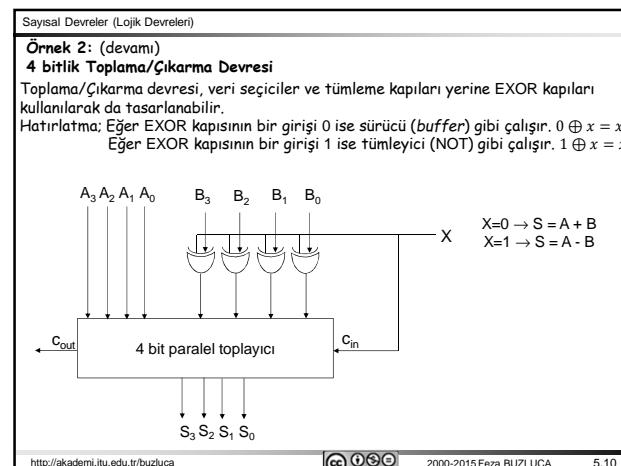
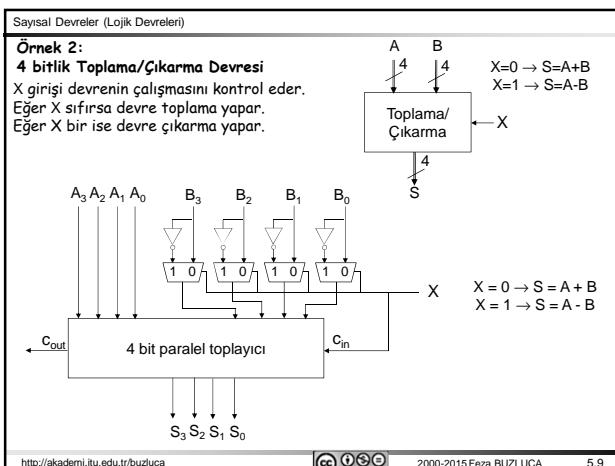
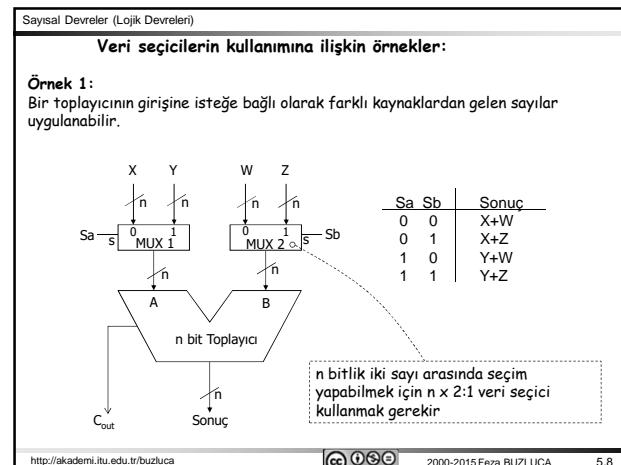
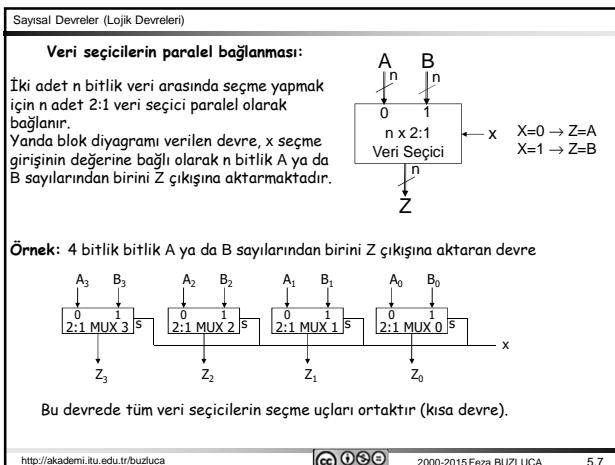
$$Z = S' I_0 + S I_1$$

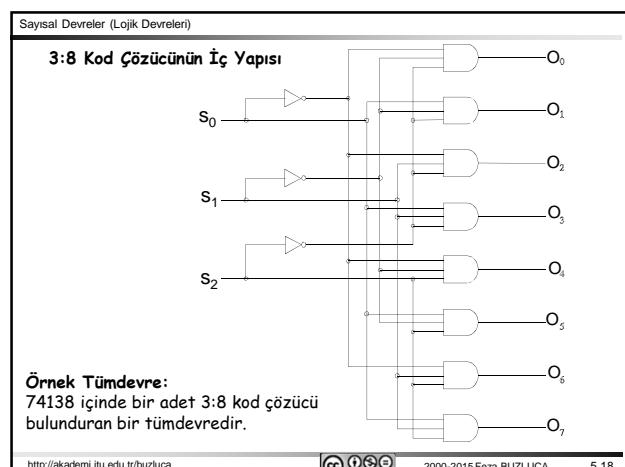
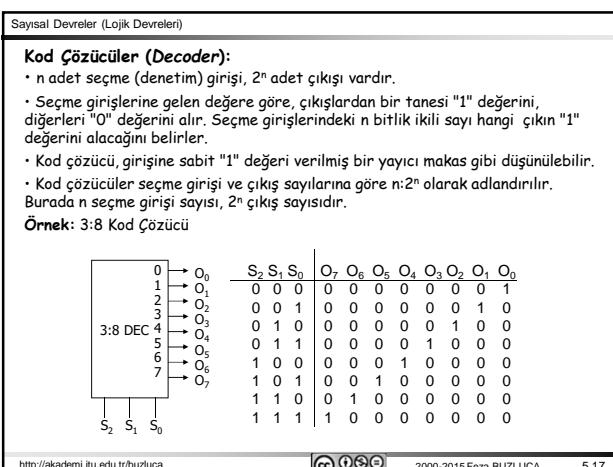
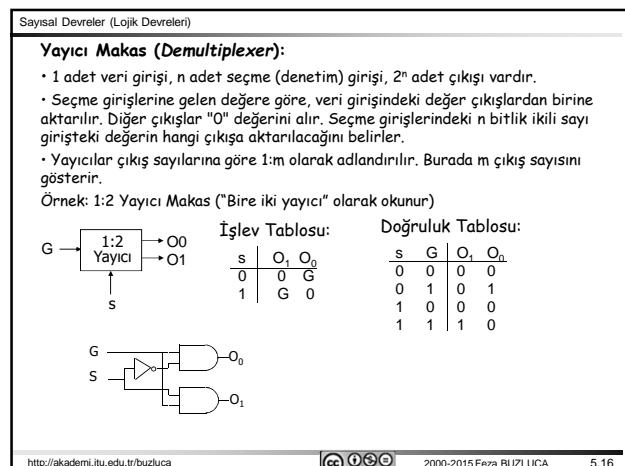
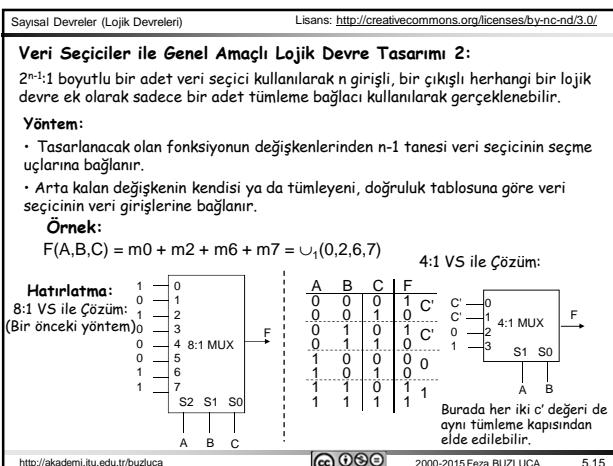
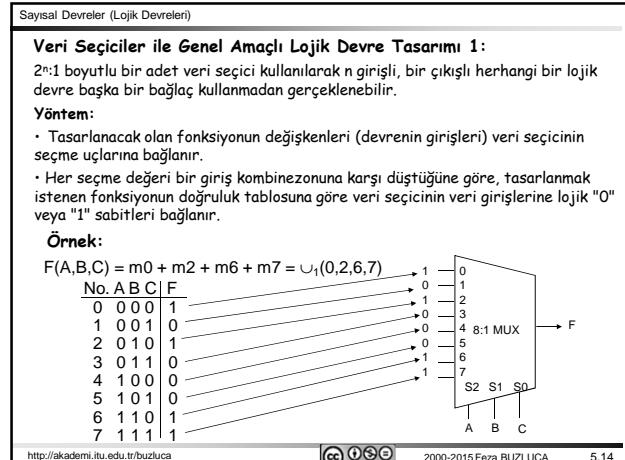
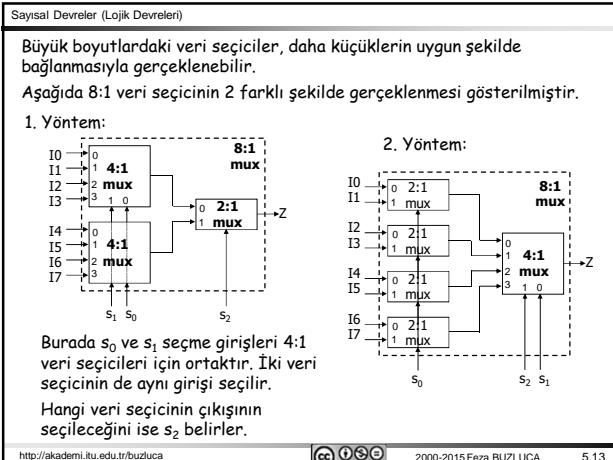
<http://akademi.itu.edu.tr/buzluca>



2000-2015 Feza BUZLUCA

5.6





Kod Çözüçüler ile Genel Amaçlı Lojik Devre Tasarımı:

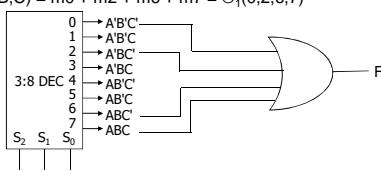
n:2ⁿ boyutlu bir kod çözücü kullanılarak n girişli m çıkışlı herhangi bir genel fonksiyon ek olarak VEYA bağları kullanılarak gerçekleştirilebilir.

Yöntem:

- Tasarlanacak olan fonksiyonun değişkenleri (devrenin girişleri) kod çözücüünün seçme ucşarına bağlanır.
- Kod çözücüün her çıkışı bir minterime karşı düşer. Gerçeklenecek olan fonksiyon oluştururan minterimlere ilişkin çıkışlar VEYA Kapıları ile toplanır.

Örnek:

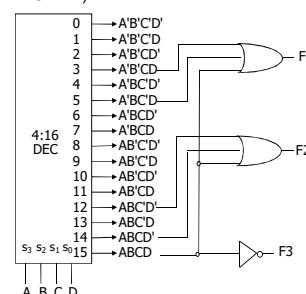
$$F(A,B,C) = m_0 + m_2 + m_6 + m_7 = \cup_1(0,2,6,7)$$

**Örnek: 4 girişli 3 çıkışlı genel fonksiyon tasarımları**

$$F1(A,B,C,D) = A' B C' D + A' B' C D + A B C D$$

$$F2(A,B,C,D) = A B C' D' + A B C$$

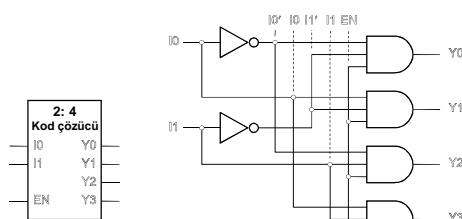
$$F3(A,B,C,D) = (A' + B' + C' + D')$$

**İzin Girişli (Enable -EN) Kod Çözüçü:**

Kod çözüçülerde seçme girişlerine ek olarak izin girişi de (Enable -EN) olabilir. EN girişi lojik "1" olduğunda kod çözücü normal işlevini görür.

EN girişi lojik "0" olduğunda kod çözücüün tüm çıkışları "0" olur.

Aşağıda izin girişi bir 2:4 kod çözücü gösterilmiştir:

**Kod çözüçülerin kullanımına ilişkin bir örnek**

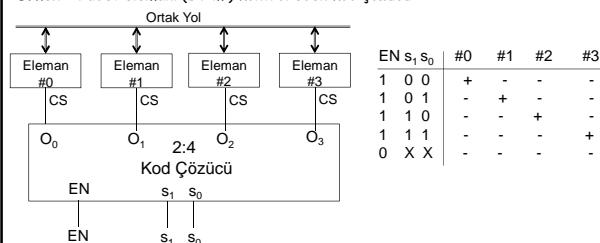
Bazı sistemlerde bir grup elemandan sadece bir tanesinin belli bir anda etki olması istenir.

Düiger bir ifadeyle aynı anda iki eleman etkin (aktif) olamaz.

Bu tür etkin/etkisiz yapılabilen elemanların seçme (chip select -CS) girişleri bulunur.

Kod çözüçüler istenen elemanı seçerek etkin yapmak için kullanılır.

Örnek: 4 adet elemanı (birimi) kontrol eden kod çözücü

**Programlanabilir Lojik Elemanlar (Programmable Logic Device - PLD)**

Günümüzde karmaşık sayısal devreler programlanabilir lojik elemanlar kullanılarak gerçekleştiriliyor.

Bu elemanlar, içinde çok sayıda lojik bağlaç bulunduran tümdevrelerdir (birkaç yüz - birkaç milyon). Bazılarının içinde birelek elemanları da (flip-flop) bulunur.

Tasarımcı bir "programlama" dili ve cihazı kullanarak bu bağlaçların arasında belli sınırlar içinde istediği bağlantıları gerçekleştirebilir.

Böylesce sadece tek bir tümdevre kullanılarak karmaşık lojik devreler gerçekleştirilebilir.

Programlanabilir lojik elemanların çeşitli türleri vardır:

- Programmable Logic Array - PLA
- Programmable Array Logic - PAL
- Generic Array Logic - GAL
- Complex PLD - CPLD
- Field-Programmable Gate Array - FPGA

Programlama:

Bu elemanların iç yapılarının düzenlenebilmesi (programlama) için lojik kapılar arasındaki bağlantı noktalarında "sigortalar" (fuse) bulunur.

İLK PLD türlerinde (PLA, PAL) bipolar transistörler (Bkz. Bölüm 9) kullanılmıştır. Bu elemanlarda sigortalar sadece bir defa kopartılırlar programlama yapılabilir.

Günümüz elemanlarında (GAL, CPLD, FPGA) CMOS transistörler ve programlama için birelek elemanları kullanılmaktadır. Bu elemanlar defalarca silinip programlanabilirler.

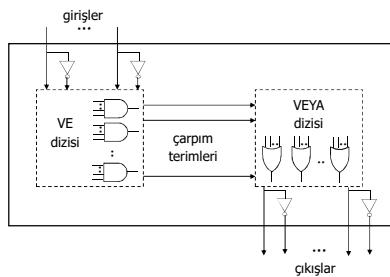
Bu elemanları programlamak için çeşitli donanım betimleme dilleri (Hardware Description Language - HDL) ve cihazlar kullanılır.

HDL örnekleri:

- PALASM
- ABEL
- Verilog
- VHDL (Veri high speed integrated circuits HDL)

Programlanabilir Lojik Dizi (Programmable Logic Array - PLA)

Girişlerinde VE (çarpım) çıkışlarında ise VEYA (toplama) elemanları bulunur.



PLA'lar VE, VEYA gruplarının esnek olarak programlanıldığı elemanlardır.

PLA'ların sınırlarını belirleyen parametreleri şunlardır:

Giriş sayısı: n

Cıkış sayısı: m

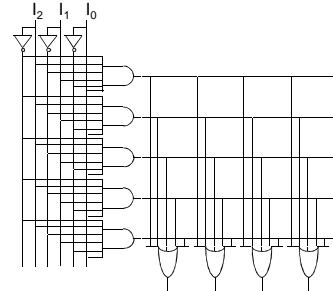
VE kapısı sayısı: p

Bu tür bir eleman, "p çarpımı $n \times m$ PLA" olarak adlandırılır.

Yandaki şekilde örnek olarak 5 çarpımı 3×4 bir PLA gösterilmiştir.

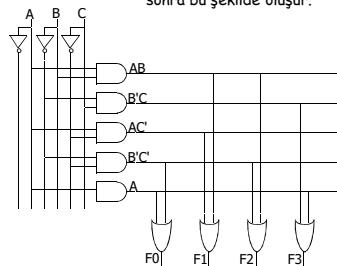
PLA'larda yüz civarında bağlaç bulunur.

Örnek: 82S100
16 giriş, 8 çıkış, 48 çarpım (VE)

**Örnek:**

$$\begin{aligned} F_0 &= A + B'C \\ F_1 &= AC' + AB \\ F_2 &= B'C' + AB \\ F_3 &= B'C + A \end{aligned}$$

3x4PLA nin iç bağlantıları, programlamadan sonra bu şekilde olur.

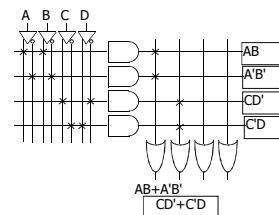


Basit Gösterim: Çizimleri karmaşık hale getirmemek için PLA çizimlerinde tüm hatlar gösterilmelidir.

Onun yerine ilgili kapının girişine hangi hatlar bağlanacaksa o hattın üstüne X konur.

Örnek:

$$\begin{aligned} F_0 &= AB + A'B' \\ F_1 &= CD + C'D' \end{aligned}$$

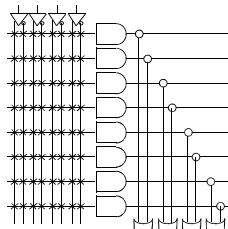
**Programlanabilir Dizi Lojisi (Programmable Array Logic - PAL)**

VE Bağlaçlarının girişleri PLA'larda olduğu gibi esnek bir biçimde programlanabilir. Ancak VEYA bağlaçlarının girişleri esnek değildir. Her VEYA bağlaçının girişine sadece belli VE bağlaçlarının çıkışları bağlıdır.

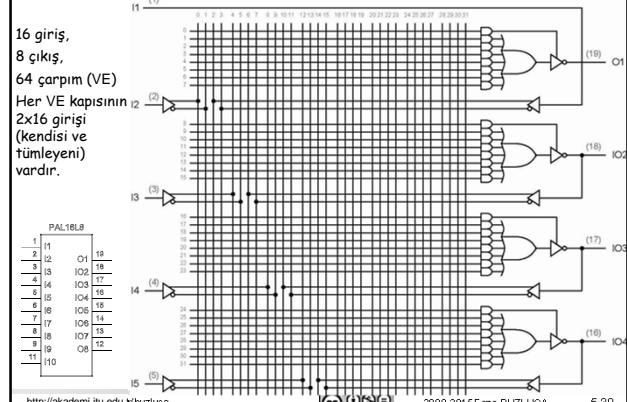
Örneğin ilk VEYA bağlaçının girişine sadece ilk iki VE bağlaçının çıkışları gelebilir. PAL'ler daha kolay programlanabilirler, daha ucuzdurlar, daha çok eleman içerebilirler.

İlk olarak Monolithic Memories, Inc (MMI) firması tarafından üretilmiştir.

MMI, daha sonra Advanced Micro Devices (AMD) tarafından satın alınmıştır.



Örnek: Aşağıda PAL 16L8 elemanının bir kısmı gösterilmiştir:



Genel Dizi Lojigi (Generic Array Logic - GAL)

PAL ile benzer özellikler taşır.

İç yapısı CMOS transistörlerden oluşmaktadır. Defalarca silinerek tekrar programlanabilir.

İlk olarak Lattice Semiconductor firması tarafından oluşturulmuştur.

Örnek: GAL16V8

Karmaşık PLD (Complex PLD - CPLD)

Aynı türlesik devrenin içinde birden fazla PLD (*macro cell*) bulunur.

Her bir PLD, GAL özelliklerine sahiptir.

Toplam kapı sayısı birkaç bin ile birkaç yüz bin arasındadır.

Hem PLD'lerin iç yapıları hem de aralarındaki bağlantılar programlanabilir.

Örnek: Atmel ATF1500

32 giriş/çıkış + 4 giriş

32 adet PLD (*macro cell*) içerir.

**Sahada Programlanabilir Kapı Dizisi
(Field-Programmable Gate Array - FPGA)**

Çok sayıda işlevsel blok ve bloklar arasındaki bağlantılarından oluşurlar.

Defalarca silinerek tekrar programlanabilir.

Toplam kapı sayısı birkaç bin ile birkaç milyon arasındadır.

Karmaşık sayısal devrelerin (örneğin özel amaçlı mikroişlemciler) gerçekleştirmesinde kullanılır.

CPLD'lere göre daha esnek ve daha yeteneklidirler ancak gecikmeleri ve maliyetleri daha yüksektir.

Örnek: Atmel AT6010

204 giriş/çıkış

30000 bağlaş